

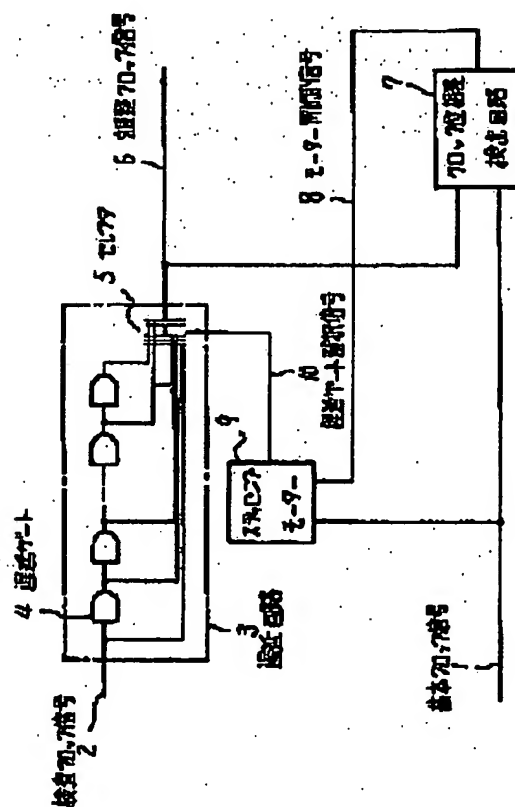
REGULATING CIRCUIT FOR PHASE DIFFERENCE BETWEEN CLOCK SIGNALS

Patent number: JP5026923
 Publication date: 1993-02-05
 Inventor: KIJINO TAKESHI; TACHIBANA YOSHIMI
 Applicant: NIPPON ELECTRIC CO; KOFU NIPPON DENKI KK
 Classification:
 - International: G01R25/00; H02P8/00; G01R25/00; H02P8/00; (IPC1-7): G01R25/00; H02P8/00
 - european:
 Application number: JP19910181466 19910723
 Priority number(s): JP19910181466 19910723

Report a data error here

Abstract of JP5026923

PURPOSE: To regulate a phase difference between a basic clock signal and an inspection clock signal automatically and thereby to make it possible to output a regulated clock signal being matched in a phase with the basic clock signal. **CONSTITUTION:** A clock phase difference detecting circuit 7 which receives a basic clock signal 1 and a regulated clock signal 6 as inputs and outputs a motor control signal 8, a delay circuit 3 which receives an inspection clock signal 2 and a delay gate selection signal 10 as inputs and outputs the regulated clock signal 6, and a stepping motor 9 which receives the motor control signal 8 as an input, outputs the delay gate selection signal 10 and operates synchronously with the basic clock signal 1, are provided.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-26923

(43)公開日 平成5年(1993)2月5日

(51)IntCl⁴

G 0 1 R 25/00

// H 0 2 P 8/00

識別記号

庁内整理番号

F I

技術表示箇所

7706-2G

Z 9063-5H

審査請求 未請求 請求項の数2(全7頁)

(21)出願番号 特願平3-181466

(22)出願日 平成3年(1991)7月23日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71)出願人 000168285

甲府日本電気株式会社

山梨県甲府市大津町1088-3

(72)発明者 来住野 剛

東京都港区芝五丁目7番1号日本電気株式会社内

(72)発明者 立花 祥臣

山梨県甲府市大津町1088-3 甲府日本電気株式会社内

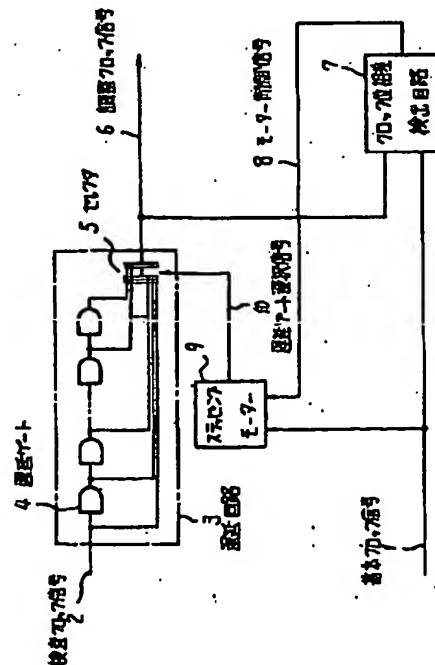
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 クロック信号位相差調整回路

(57)【要約】

【構成】基本クロック信号1と調整クロック信号6を入力としモーター制御信号8を出力するクロック位相差検出回路7と、検査クロック信号2と遅延ゲート選択信号10を入力とし調整クロック信号6を出力する遅延回路3とモーター制御信号8を入力とし遅延ゲート選択信号10を出力する基本クロック信号1に同期して動作するステッピングモーター9を有している。

【効果】基本クロック信号と検査クロック信号の位相差を自動的に調整し、基本クロック信号と位相の合った調整クロック信号を出力できる。



1

【特許請求の範囲】

【請求項1】 基本クロック信号と調整クロック信号を入力としモーター制御信号を出力するクロック位相差検出回路と、検査クロック信号と遅延ゲート選択信号を入力とし調整クロック信号を出力する遅延回路と、モーター制御信号を入力とし遅延ゲート選択信号を出力する基本クロック信号の同期して動作するステッピング・モーターとを含むことを特徴とするクロック信号位相差調整回路。

【請求項2】 基本クロック信号と調整クロック信号を入力としカウント・イネーブル信号を出力するクロック位相差検出回路と、検査クロック信号と遅延ゲート選択信号を入力とし調整クロック信号を出力する遅延回路とカウント・イネーブル信号と基本クロック信号を入力とし遅延ゲート選択信号を出力するカウンタとを含むことを特徴とするクロック信号位相差調整回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はクロック信号位相差調整回路に関する。

【0002】

【従来の技術】 従来、クロック信号の位相差調整は、該クロック信号の2つの波形を観測して、人手で調整していた。

【0003】

【発明が解決しようとする課題】 上述した従来の技術では、位相差を調整しようとする2つのクロック信号をオシロスコープ等に入力し、位相差を目視で確認し、ディレイライン等の遅延回路を手手で調整して、クロック信号の位相差調整を行わなければならないという欠点があった。

【0004】 本発明は上記の欠点を除去し、基本クロック信号と検査クロック信号を入力とし、上記2つのクロック信号の位相差を検出し、自動的に位相差を調整することを目的とする。

【0005】

【課題を解決するための手段】 第1の発明のクロック信号位相差調整回路は、基本クロック信号と調整クロック信号を入力としモーター制御信号を出力するクロック信号位相差検出回路と、検査クロック信号と遅延ゲート選択信号を入力とし調整クロック信号を出力する遅延回路と、モーター制御信号を入力とし、遅延ゲート選択信号を出力する基本クロック信号に同期して動作するステッピング・モーターとを含んで構成される。

【0006】 第2の発明のクロック信号位相差調整回路は、基本クロック信号と調整クロック信号を入力としカウント・イネーブル信号を出力するクロック位相差検出回路と、検査クロック信号と遅延ゲート選択信号を入力とし調整クロック信号を出力する遅延回路と、カウント・イネーブル信号と基本クロック信号を入力とし遅延ゲ

2

ート選択信号を出力するカウンタとを含んで構成される。

【0007】

【実施例】 次に本発明について図面を参照して説明する。

【0008】 図1は、本発明の第1の実施例を示すブロック図、図2は図1の動作を示すタイミング・チャートである。

【0009】 第1の実施例は、基本クロック信号1と調整クロック信号6を入力としモーター制御信号8を出力するクロック位相差検出回路7と、検査クロック信号2と遅延ゲート選択信号10を入力とし調整クロック信号6を出力する遅延回路3と、モーター制御信号8を入力とし遅延ゲート選択信号10を出力する基本クロック信号1に同期して動作するステッピングモーター9を有している。

【0010】 又、遅延回路3は、遅延ゲート4を数個有しており、遅延ゲート選択信号10によりセクタ5の1つを選択し、調整クロック信号6を遅延させる回路である。

【0011】 次に動作を図2を参照して説明する。仮に検査クロック信号2が、基本クロック信号1に比べ、位相が進んでいたとする（時刻T₀）。

【0012】 クロック位相差検出回路7は基本クロック信号1と遅延回路3で遅延された調整クロック信号6を入力し、位相差があった場合は、モーター制御信号8を論理“1”とし、位相差が許容範囲内のなった場合に上記信号8を論理“0”とし、論理“0”の状態を保持する。

【0013】 ステッピング・モーター9は上記信号8が論理“1”のとき基本クロック信号1に同期して回転し、遅延回路3の遅延ゲート4を1段階増やすように遅延ゲート選択信号10を出力し、上記信号8が論理“0”となったとき、回転を止め、遅延ゲート信号10を固定する。

【0014】 図2に示すように時刻T₁、T₂と調整クロック信号6は、検査クロック信号2より位相が送れていき、時刻T₁で基本クロック信号1と同位相となる。

【0015】 図3は、本発明の第2の実施例を示すブロック図、図4は図3の動作を示すタイミング・チャートである。

【0016】 第2の実施例は、基本クロック信号1と調整クロック信号6を入力としカウント・イネーブル信号81を出力するクロック位相差検出回路7と、検査クロック信号2と遅延ゲート選択信号101を入力とし調整クロック信号6を出力する遅延回路3と、基本クロック信号1とカウント・イネーブル信号81を入力とし遅延ゲート選択信号101を出力するカウンタ91を有している。又、遅延回路3は遅延ゲート4を数個有しており、遅延ゲート選択信号101によりセクタ5の1つ

3

を選択し、調整クロック信号6を遅延させる回路である。

【0017】次に動作を図4を参照して説明する。仮に、検査クロック信号2が基本クロック信号に比べ位相が進んでいたとする(時刻 T_0)。クロック位相差検出回路7は、基本クロック信号1と遅延回路3で遅延された調整クロック信号6を入力し、位相差があった場合はカウント・イネーブル信号81を論理“1”とし、位相差が許容範囲内になった場合にカウント・イネーブル信号81を論理“0”とし、論理“0”の状態を保持する。カウンタ91はカウント・イネーブル信号81が論理“1”のときカウンタの値を+1加算し、遅延回路3の遅延ゲート4を1段増やすように遅延ゲート選択信号101を出力し、カウント・イネーブル信号81が論理“0”となったとき、カウンタの値を保持し、遅延ゲート選択信号101を固定する。図4に示すように時刻 T_1 、 T_2 と調整クロック信号6は検査クロック信号2より位相が送れていき、時刻 T_3 で基本クロック信号1と同位相となる。

【0018】

【発明の効果】以上説明したように本発明は、基本クロック信号と検査クロック信号の位相差を自動的に調整

4

し、基本クロック信号と位相の合った調整クロック信号を出力できる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すブロック図である。

【図2】第1の実施例の動作を示すタイミング・チャートである。

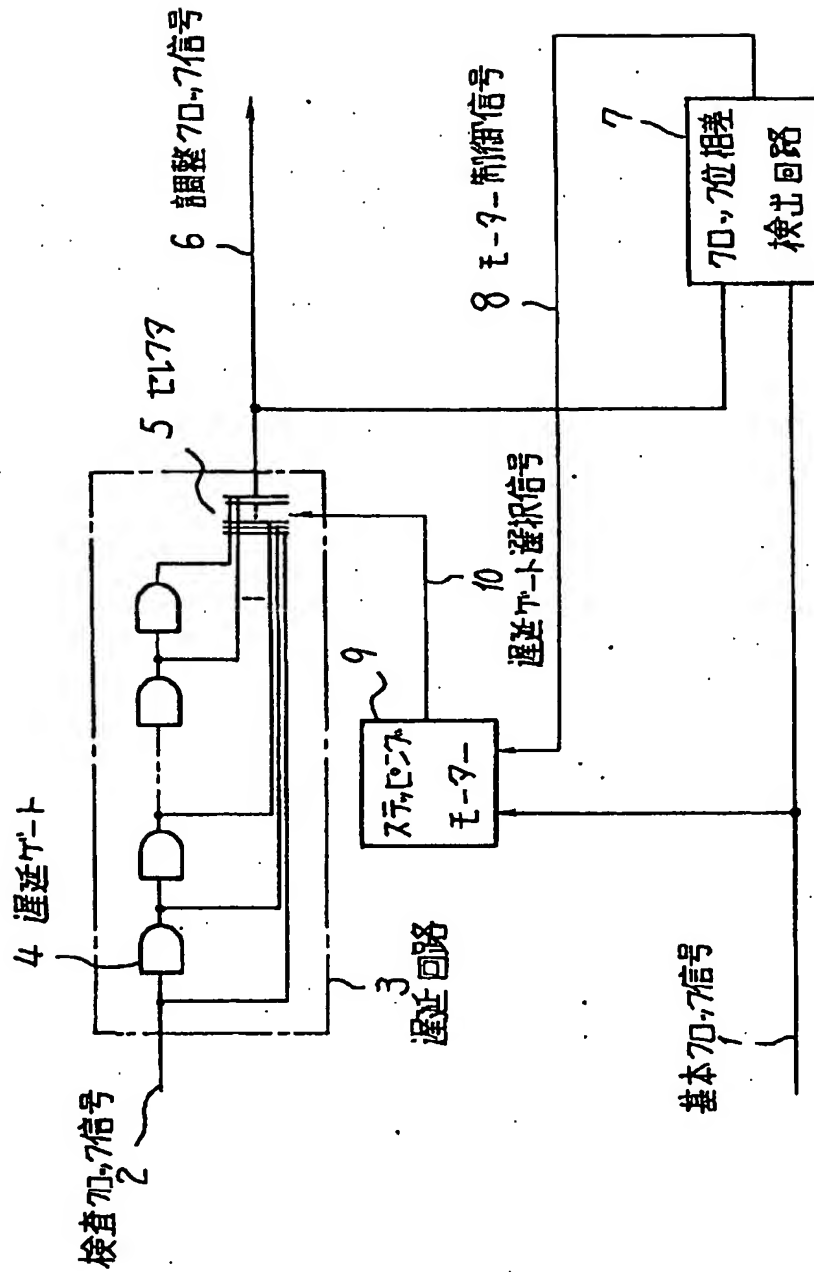
【図3】本発明の第2の実施例を示すブロック図である。

10 【図4】第2の実施例の動作を示すタイミング・チャートである。

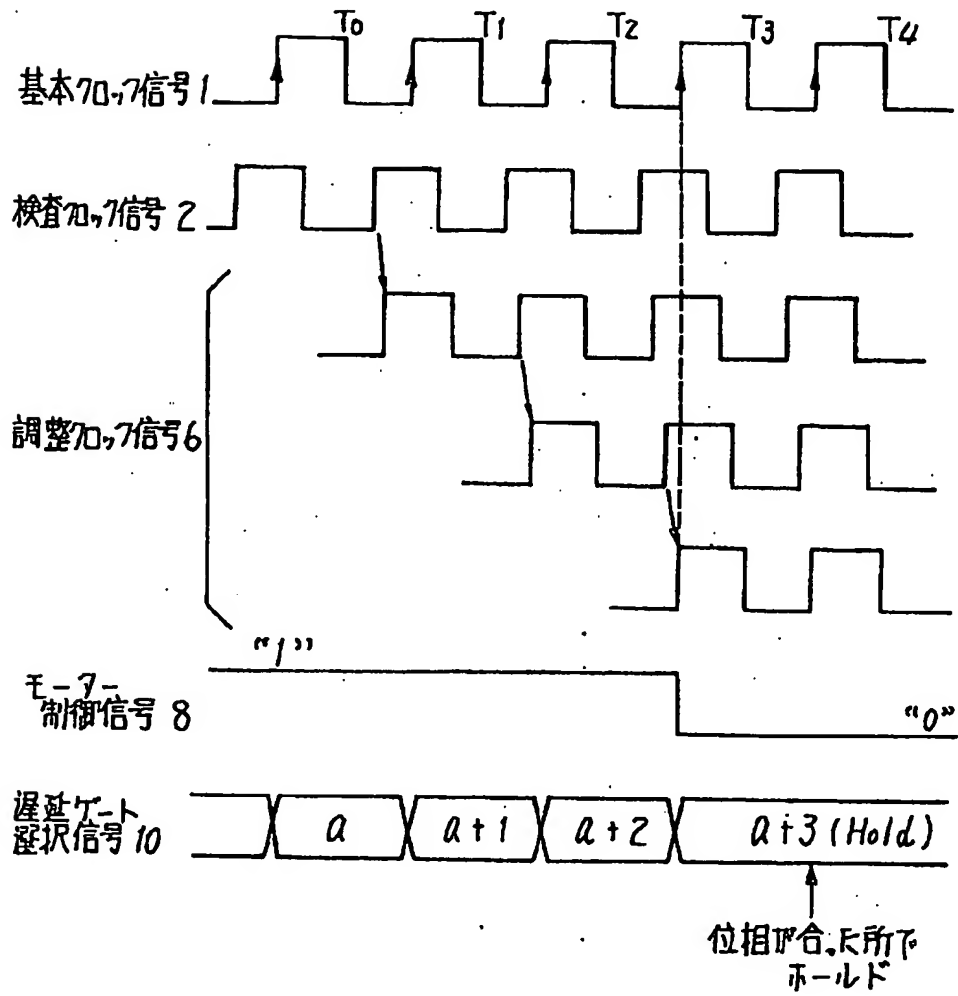
【符号の説明】

- 1 基本クロック信号
- 2 検査クロック信号
- 3 遅延回路
- 4 遅延ゲート
- 5 セレクタ
- 6 調整クロック信号
- 7 クロック位相差検出回路
- 8 モーター制御信号
- 9 ステッピング・モーター
- 10 遅延ゲート選択信号

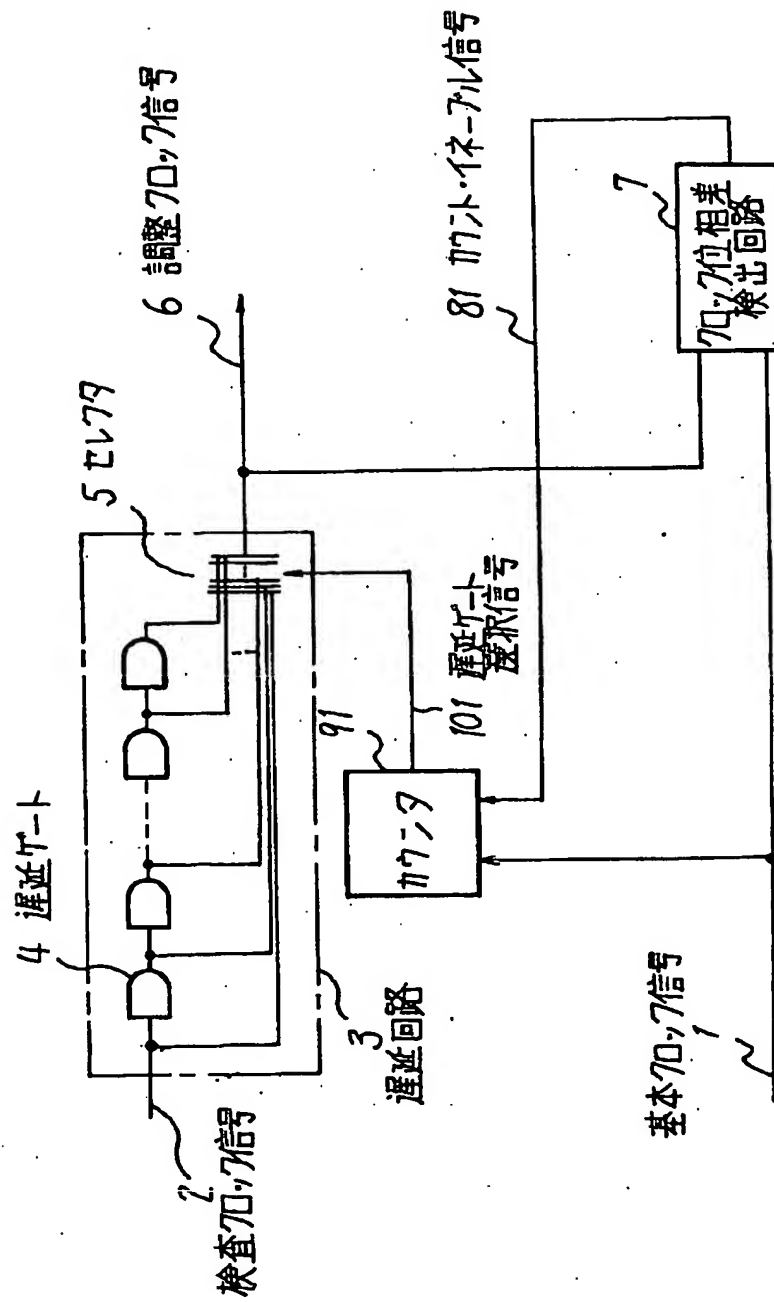
【図1】



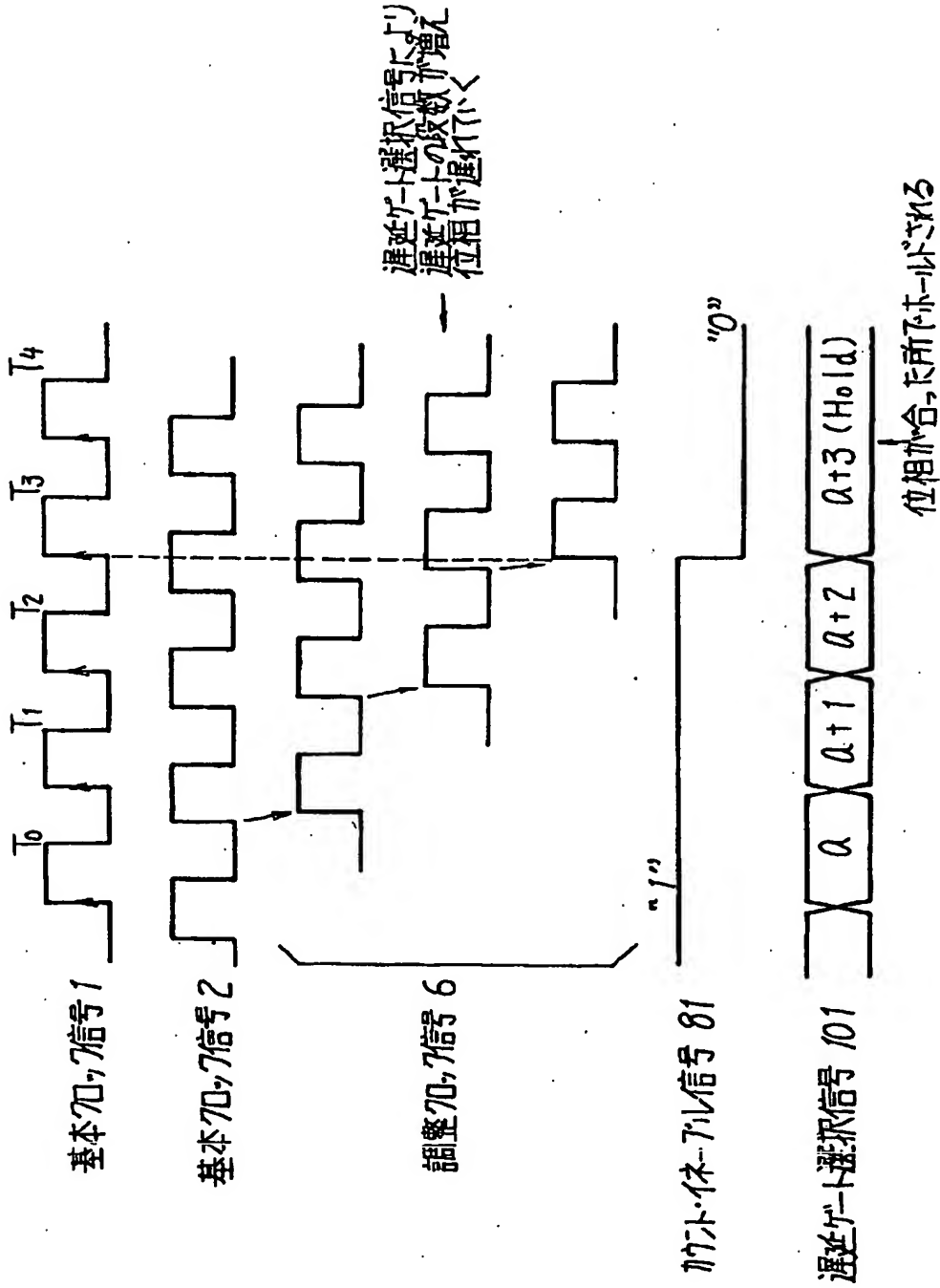
【図2】



【図3】



【図4】



1. Japanese Patent Application Laid-Open No. Hei 05-026923

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

[Claim(s)] The clock signal phase contrast equalization circuit characterized by including the clock phase contrast detector which considers a basic clock signal and an adjustment clock signal as an input, and outputs a motor control signal, the delay circuit which considers as an inspection clock signal and a delay gate selection-signal input, and outputs an adjustment clock signal, and the stepping motor which the basic clock signal which considers a motor control signal as an input and outputs a delay gate selection signal synchronizes, and operates.

[Claim 2] The clock signal phase contrast equalization circuit characterized by including the counter which considers the clock phase contrast detector which considers a basic clock signal and an adjustment clock signal as an input, and outputs a count enable signal, the delay circuit which considers an inspection clock signal and a delay gate selection signal as an input, and outputs an adjustment clock signal, a count enable signal, and a basic clock signal as an input, and outputs a delay gate selection signal.

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to a clock signal phase contrast equalization circuit.

[0002]

[Description of the Prior Art] Conventionally, phase contrast adjustment of a clock signal observed two waves of this clock signal, and was adjusting them with the help.

[0003]

[Problem(s) to be Solved by the Invention] In the Prior art mentioned above, two clock signals which are going to adjust phase contrast were inputted into the oscilloscope etc., phase contrast was checked visually, delay circuits, such as a delay line, were adjusted with the help, and there was a fault that phase contrast adjustment of a clock signal had to be performed.

[0004] This invention removes the above-mentioned fault and considers a basic clock signal and an inspection clock signal as an input, and the phase contrast of the two above-mentioned clock signals is detected, and it aims at adjusting phase contrast automatically.

[0005]

[Means for Solving the Problem] The clock signal phase contrast equalization circuit of the 1st invention is constituted including the clock signal phase contrast detector which considers a basic clock signal and an adjustment clock signal as an input, and outputs a motor control signal, the delay circuit which considers an inspection clock signal and a delay gate selection signal as an input, and outputs an adjustment clock signal, and the stepping motor which operates synchronizing with the basic clock signal which considers a motor control signal as an input and outputs a delay gate selection signal.

[0006] The clock signal phase contrast equalization circuit of the 2nd invention is constituted including the clock phase contrast detector which considers a basic clock signal and an adjustment clock signal as an input, and outputs a count enable signal, the delay circuit which considers an inspection clock signal and a delay gate selection signal as an input, and outputs an adjustment clock signal, and the counter which considers a count enable signal and a basic clock signal as an input, and outputs a delay gate selection signal.

[0007]

[Example] Next, this invention is explained with reference to a drawing.

[0008] The block diagram in which drawing 1 shows the 1st example of this invention, and drawing 2 are timing charts which show actuation of drawing 1.

[0009] The 1st example has the clock phase contrast detector 7 which considers the basic clock signal 1 and the adjustment clock signal 6 as an input, and outputs the motor control signal 8, the delay circuit 3 which considers the inspection clock signal 2 and the delay gate selection signal 10 as an input, and outputs the adjustment clock signal 6, and the stepping motor 9 which operates synchronizing with the basic clock signal 1 which considers the motor control signal 8 as an input, and outputs the delay gate selection signal 10.

[0010] Moreover, a delay circuit 3 is a circuit which it has [circuit] the delay gate 4 partly, and one of the selectors 5 is chosen [circuit] with the delay gate selection signal 10, and delays the adjustment clock signal 6.

[0011] Next, actuation is explained with reference to drawing 2. The inspection clock signal 2 presupposes temporarily that the phase was progressing compared with a basic clock signal (time of day T0).

[0012] When the basic clock signal 1 and the adjustment clock signal 6 delayed in the delay circuit 3 are inputted and there is phase contrast, the motor control signal 8 is

made into logic "1", phase contrast makes the above-mentioned signal 8 logic "0", when it becomes in tolerance, and the clock phase contrast **** circuit 7 holds the condition of logic "0."

[0013] A stepping motor 9 fixes a stop and the delay gate signal 10 for rotation, when it rotates synchronizing with the basic clock signal 1 when the above-mentioned signal 8 is logic "1", the delay gate selection signal 10 is outputted so that one step of delay gate 4 of a delay circuit 3 may be increased, and the above-mentioned signal 8 becomes logic "0."

[0014] As shown in drawing 2, it is time of day T1 and T2. The adjustment clock signal 6 can send the phase from the inspection clock signal 2, and is time-of-day T3. It becomes in phase with the basic clock signal 1.

[0015] The block diagram in which drawing 3 shows the 2nd example of this invention, and drawing 4 are timing charts which show actuation of drawing 3.

[0016] The 2nd example has the clock phase contrast detector 7 which considers the basic clock signal 1 and the adjustment clock signal 6 as an input, and outputs the count enable signal 81, the delay circuit 3 which considers the inspection clock signal 2 and the delay gate selection signal 101 as an input, and outputs the adjustment clock signal 6, and the counter 91 which considers the basic clock signal 1 and the count enable signal 81 as an input, and outputs the delay gate selection signal 101. Moreover, a delay circuit 3 is a circuit which it has [circuit] the delay gate 4 partly, and one of the selectors 5 is chosen [circuit] with the delay gate selection signal 101, and delays the adjustment clock signal 6.

[0017] Next, actuation is explained with reference to drawing 4. Temporarily, the inspection clock signal 2 presupposes that the phase was progressing compared with the basic clock signal (time of day T0). The clock phase contrast detector 7 inputs the basic clock signal 1 and the adjustment clock signal 6 delayed in the delay circuit 3, when there is phase contrast, it makes the count enable signal 81 logic "1", when phase contrast comes in tolerance, it makes the count enable signal 81 logic "0", and it holds the condition of logic "0." When the value of a counter is added +one time when the count enable signal 81 is logic "1", the delay gate selection signal 101 is outputted so that one step of delay gate 4 of a delay circuit 3 may be increased, and the count enable signal 81 becomes logic "0", a counter 91 holds the value of a counter and fixes the delay gate selection signal 101. As shown in drawing 4, it is time of day T1 and T2. The adjustment clock signal 6 can send the phase from the inspection clock signal 2, and is time-of-day T3. It becomes in phase with the basic clock signal 1.

[0018]

[Effect of the Invention] As explained above, this invention adjusts automatically the phase contrast of a basic clock signal and an inspection clock signal, and has the

effectiveness which can output the adjustment clock signal whose phase suited to the basic clock signal.

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the 1st example of this invention.

[Drawing 2] It is the timing chart which shows actuation of the 1st example.

[Drawing 3] It is the block diagram showing the 2nd example of this invention.

[Drawing 4] It is the timing chart which shows actuation of the 2nd example.

[Description of Notations]

1 Basic Clock Signal

2 Inspection Clock Signal

3 Delay Circuit

4 Delay Gate

5 Selector

6 Adjustment Clock Signal

7 Clock Phase Contrast Detector

8 Motor Control Signal

9 Stepping Motor

10 Delay Gate Selection Signal